

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

IN-WOO JANG, ET AL.

Application No.:

Filed:

For: **METHOD FOR MANUFACTURING
FERROELECTRIC RANDOM
ACCESS MEMORY CAPACITOR**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-43035	30 June 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg No. 30,139

Dated: December 8, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0043035
Application Number

출원년월일 : 2003년 06월 30일
Date of Application JUN 30, 2003

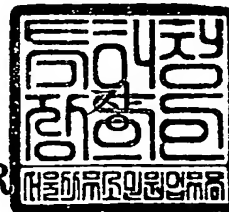
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2003.06.30
【발명의 명칭】	하부전극과 강유전체막의 접착력을 향상시킬 수 있는 강유전체 캐패시터 형성 방법
【발명의 영문명칭】	Method for forming ferroelectric capacitor capable of improving adhesion between bottom electrode and ferroelectric layer
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	장인우
【성명의 영문표기】	JANG, In Woo
【주민등록번호】	730224-1652713
【우편번호】	138-160
【주소】	서울특별시 송파구 가락동 가락아파트 99-508
【국적】	KR
【발명자】	
【성명의 국문표기】	성진용
【성명의 영문표기】	SEONG, Jin Yong
【주민등록번호】	701102-1058329
【우편번호】	138-794
【주소】	서울특별시 송파구 잠실4동 시영아파트 3-504
【국적】	KR

【발명자】

【성명의 국문표기】 이계남
【성명의 영문표기】 LEE,Kye Nam
【주민등록번호】 621217-1018133
【우편번호】 467-860
【주소】 경기도 이천시 부발읍 아미리 산 136-1
【국적】 KR

【발명자】

【성명의 국문표기】 홍석경
【성명의 영문표기】 HONG,Suk Kyoung
【주민등록번호】 591223-1231728
【우편번호】 427-050
【주소】 경기도 과천시 부림동 주공아파트 809-505
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 특허법인 신성 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	2 면	2,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	17 항	653,000 원
【합계】		684,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 강유전체 캐패시터의 하부전극과 강유전체막 사이의 접착력을 향상시킬 수 있는 강유전체 캐패시터 형성 방법에 관한 것으로, 하부전극 상에 강유전체막을 형성하기 전에 하부전극을 열처리하여 열적 스트레스(thermal stress)에 의한 힐락(hillock) 또는 공공(void)을 하부전극 표면에 형성하고, 힐락 또는 공공이 형성되어 변형된 하부전극 표면을 따라 강유전체의 결정립(grain)이 생성되도록 하는데 그 특징이 있다. 이와 같이 힐락 또는 공공이 형성된 하부전극 표면을 따라 강유전체막이 형성되어 후속 열처리 과정에서 발생하는 열적 스트레스를 완화시킬 수 있고 강유전체막의 결정립 성장에 대한 균일도를 향상시킬 수 있다. 이에 따라 하부전극과 강유전체막의 접착력을 증가시켜 강유전체 메모리 소자 제조 공정상의 안정성 및 소자의 신뢰성을 향상시킬 수 있다.

【대표도】

도 5e

【색인어】

강유전체, 캐패시터, 하부전극, 강유전체막, 힐락, 결정립

【명세서】

【발명의 명칭】

하부전극과 강유전체막의 접착력을 향상시킬 수 있는 강유전체 캐패시터 형성 방법{Method for forming ferroelectric capacitor capable of improving adhesion between bottom electrode and ferroelectric layer}

【도면의 간단한 설명】

도 1은 강유전체막의 이력특성 곡선.

도 2는 종래 기술에 따른 강유전체 메모리 소자의 강유전체 캐패시터 형성 공정 단면도.

도 3은 종래 기술에 따른 강유전체 캐패시터 형성 과정에서 하부전극과 강유전체막 사이의 미세 공공이 발생한 것을 보이는 단면 사진.

도 4는 Pt막의 온도에 따른 스트레스(응력)변화를 보이는 그래프.

도 5a 내지 도 5f는 본 발명의 실시예에 따른 강유전체 캐패시터 형성 공정 단면도.

* 도면의 주요 부분에 대한 도면 부호의 설명

50: 반도체 기판

51, 53: 하부전극

52: 분리절연막

54: 강유전체막

55: 상부전극

H: 힐락 또는 공공

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 강유전체 메모리 소자 제조 분야에 관한 것으로, 특히 강유전체막과 하부전극 간의 열적 스트레스(thermal stress) 차이에 기인한 접착력 저하를 억제할 수 있는 강유전체 캐패시터 형성 방법에 관한 것이다.
- <11> FeRAM(ferroelectric random access memory)은 DRAM(dynamic random access memory)의 정보저장 기능, SRAM(static random access memory)의 빠른 정보처리 속도, 플래쉬 메모리(flash memory)의 정보 보존 기능을 결합한 비휘발성 반도체 메모리 소자로서 종래의 플래쉬 메모리나 EEPROM(electrically erasable programmable read only memory) 보다 동작 전압이 낮고 정보 처리 속도가 1000배 이상 빠른 미래형 반도체 메모리 소자이다.
- <12> SiO_2 또는 SiON 등과 같은 유전막을 구비하는 DRAM의 캐패시터는 전압을 인가한 후 전압공급을 중단하면 다시 원점으로 돌아오게 된다. 강유전체는 상온에서 유전상수가 수백에서 수천에 이르며 두 개의 안정한 잔류분극(remnant polarization) 상태를 갖고 있어 DRAM의 캐패시터와 달리 FeRAM을 이루는 강유전체 캐패시터는 양의 전압을 인가한 후 전압공급을 중단할 경우에도 강유전체 고유의 잔류분극 특성으로 인하여 데이터를 잃어버리지 않고 보유하게 된다.
- <13> 강유전체의 이력특성을 보이는 도 1을 참조하여 FeRAM 소자의 동작을 설명한다. 다음의 설명에서 양의 전압은 비트 라인의 전위가 셀 플레이트의 전위보다 높은 경우로 정하고, 잔류분극 'a' 점, 'c'점의 상태를 각각 데이터 '1', '0'으로 정의한다. 데이터 '1'을 쓸 때 트랜지스터를 켜고 비트라인의 전위에 대하여 셀 플레이트에 양의 전압을 인가하면 강유전체 캐패시

터에 인가되는 전압은 음이 되고 이력특성 곡선에서 'd' 점을 통과하게 된다. 이후 인가된 전압을 '0 V'로 돌리면 분극치가 잔류분극 'a'점으로 되고 데이터 '1'이 저장된다. 한편, 데이터 '0'을 써 넣을 때는 강유전체 캐패시터에 인가하는 전압을 양으로 하여 'b'점을 통과시킨 후 인가전압을 '0 V'로 돌리면 분극량은 잔류분극 'C'점으로 기억되어 데이터 '0'이 기록된다. 데이터 읽어내기는 강유전체 캐패시터에 전압을 인가한 순간에 비트 라인 상으로 흘러나가는 전하량을 검출하는 것으로 이루어진다.

<14> FeRAM의 축전물질로는 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (이하 SBT)와 $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (이하 PZT) 박막이 주로 사용된다. 강유전체는 결정이기 때문에 그 박막 성장에는 하부의 재료가 중요하다. 즉, 강유전체 캐패시터에서는 전극 재료의 선택이 강유전체의 특성에 크게 영향을 미치기 때문에 전기저항이 충분히 낮아야 하고, 강유전체 재료와 격자상수 부정합이 작아야 하고, 내열성이 높아야하며, 반응성이 낮고, 확산 완충성이 높으며 하부층 및 강유전체막 각각과의 접착성이 양호하여야 한다.

<15> 한편, 종래 강유전체 캐패시터 형성 방법은 캐패시터 하부전극 상에 강유전체막을 형성한 후 실시되는 열처리에 의해 하부전극과 강유전체막이 서로 다른 열적 스트레스를 받아 하부전극과 강유전체막 사이에 미세 공공이 형성되고, 이러한 영향으로 인해 강유전체막의 결정립 성장 균일도(grain growth uniformity)가 저하된다.

<16> 종래 기술에 따른 강유전체 캐패시터 형성 과정을 도 2를 참조하여 설명한다.

<17> 먼저, 소자분리막(21), 게이트 절연막(22), 게이트 전극(23) 및 소오스 드레인(24)으로 이루어지는 트랜지스터, 제1 층간절연막(26) 그리고 비트라인(27) 형성이 완료된 반도체 기판(20) 상에 제2 층간절연막(28)을 형성한다.

- <18> 다음으로, 제2 층간절연막(28) 및 제1 층간절연막(26)을 선택적으로 식각하여 소오스 드레인(24)을 노출시키는 콘택홀을 형성하고 콘택홀 내에 스토리지 노드(29)을 형성한 다음, 스토리지 노드(29) 상에 하부전극(30)을 형성한다.
- <19> 이어서, 분리 절연막(31)을 형성하고 하부전극(30) 표면이 노출될 때까지 분리 절연막(31)을 화학기계적 연마(chemical mechanical polishing) 또는 전면식각한 다음, 노출된 하부전극(30) 및 분리절연막(31) 상에 강유전체막(32)을 형성하고, 강유전체막(32) 상에 상부전극(33)을 형성하고 후속 열처리를 실시하여 강유전체 캐패시터를 형성 공정을 완성한다. 도 2에서 미설명 도면부호 '25'는 절연막 스페이서를 나타낸다.
- <20> 도 3은 전술한 바와 같은 종래 기술에 따른 강유전체 캐패시터 형성 과정에서 열적 스트레스에 의해 하부전극과 강유전체막 계면에서 미세 공공(MV)이 발생한 상태를 보이는 단면 사진으로서 사진(A)와 사진(B)는 서로 역전된 이미지(inverted image)이다.
- <21> Ir, Pt, W, Ti 등의 하부전극을 이루는 물질에 따라 열적 스트레스는 서로 상이하게 나타난다. 도 4는 Pt/Ti막의 온도에 따른 스트레스(응력) 변화를 보이는 그래프이다. 도 4에 나타난 바와 같이 온도에 따라 Pt막의 열적 스트레스가 달라지고 이때 Pt/Ti막 계면에 힐락(hillock)이 형성된다. 즉, O₂ 분위기에서 350 °C 이상의 온도로 열처리를 하게되면, Pt/Ti막의 계면의 변형이 일어나며, 열처리에 의한 계면의 변형은 서로 다른 물질층의 계면에서도 같은 양상으로 나타난다. 따라서, 하부전극 상에 강유전체막이 형성되어 두 층이 접한 상태에서 후속 열처리를 실시하게 되면, 강유전체막과 하부전극의 서로 다른 열적 스트레스로 인해 미세 공공이 발생하고 하부전극 각 부분 상에서 강유전체막의 두께가 불균일하게 되어 강유전체 메모리 소자에서의 랜덤 페일(random fail)이 유발된다.

【발명이 이루고자 하는 기술적 과제】

<22> 전술한 바와 같은 문제점을 해결하기 위한 본 발명은 강유전체 캐패시터의 하부전극과 강유전체막 사이의 접착력을 향상시킬 수 있는 강유전체 캐패시터 형성 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위한 본 발명은, 반도체 기판 상에 캐패시터의 하부전극을 형성하는 단계; 상기 하부전극 표면 구조를 변형시키는 제1 열처리 공정을 실시하는 단계; 상기 하부전극 표면 구조를 따라 강유전체막을 형성하는 단계; 제2 열처리 공정을 실시하는 단계; 및 상기 강유전체막 상에 캐패시터의 상부전극을 형성하는 단계를 포함하는 강유전체 캐패시터 형성 방법을 제공한다.

<24> 또한 상기 목적을 달성하기 위한 본 발명은, 반도체 기판 상에 캐패시터의 하부전극을 형성하는 단계; 상기 하부전극 형성이 완료된 상기 반도체 기판 상에 분리절연막을 형성하는 단계; 상기 하부전극 표면이 노출될 때까지 상기 분리절연막을 제거하는 단계; 상기 하부전극 표면 구조를 변형시키는 제1 열처리 공정을 실시하는 단계; 상기 하부전극 표면 구조를 따라 강유전체막을 형성하는 단계; 제2 열처리 공정을 실시하는 단계; 및 상기 강유전체막 상에 캐패시터의 상부전극을 형성하는 단계를 포함하는 강유전체 캐패시터 형성 방법을 제공한다.

<25> 또한 상기 목적을 달성하기 위한 본 발명은, 반도체 기판 상에 캐패시터의 제1 하부전극을 형성하는 단계; 상기 제1 하부전극 형성이 완료된 상기 반도체 기판 상에 분리절연막을 형성하는 단계; 상기 제1 하부전극 표면이 노출될 때까지 상기 분리절연막을 제거하는 단계; 상

기 제1 하부전극 상에 제2 하부전극을 형성하는 단계; 상기 제2 하부전극 표면 구조를 변형시키는 제1 열처리 공정을 실시하는 단계; 상기 제2 하부전극 표면 구조를 따라 강유전체막을 형성하는 단계; 제2 열처리 공정을 실시하는 단계; 및 상기 강유전체막 상에 캐패시터의 상부전극을 형성하는 단계를 포함하는 강유전체 캐패시터 형성 방법을 제공한다.

<26> 본 발명은 하부전극 상에 강유전체막을 형성하기 전에 하부전극을 열처리하여 열적 스트레스(thermal stress)에 의한 힐락(hillock) 또는 공공(void)을 하부전극 표면에 형성하고, 힐락 또는 공공이 형성되어 변형된 하부전극 표면을 따라 강유전체의 결정립(grain)이 생성되도록 하는데 그 특징이 있다. 이와 같이 힐락 또는 공공이 형성된 하부전극 표면을 따라 강유전체막이 형성되어 후속 열처리 과정에서 발생하는 열적 스트레스를 완화시킬 수 있고 강유전체막의 결정립 성장에 대한 균일도를 향상시킬 수 있다. 이에 따라 하부전극과 강유전체막의 접착력을 증가시켜 강유전체 메모리 소자 제조 공정상의 안정성 및 소자의 신뢰성을 향상시킬 수 있다.

<27> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면 5a 내지 도 5f를 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다.

<28> 먼저, 소자분리막, 게이트 절연막, 게이트 전극 및 소오스 드레인으로 이루어지는 트랜지스터, 그리고 비트라인 형성이 완료된 반도체 기판을 마련하고, 도 5a에 보이는 바와 같이 반도체 기판(50) 상에 캐패시터의 제1 하부전극(51)을 형성한 다음, 분리 절연막(52)을 형성한다. 이어서, O_2 분위기에서 열처리를 실시하여 하부전극의 선 스트레스를 감소시킨다. 다음으로, 제1 하부전극(51) 표면이 노출될 때까지 분리 절연막(52)을 화학기계적 연마(chemical mechanical polishing) 또는 전면식각한 다음, 노출된 제1 하부전극(51) 상에 제2 하부전극

(53)을 형성한다. 상기 제2 하부전극(53) 형성 공정은 생략될 수 있으며, 제2 하부전극(53)의 형성이 생략되는 경우 다음의 제2 하부전극(53)에 대한 적용은 제1 하부전극(51)으로 그 적용 대상이 대체될 수 있다. 본 발명의 실시예에서 상기 제1 하부전극(51) 및 제2 하부전극(53)은 Pt, Ir, IrO_x , Ru, Re, Rh, W 또는 Ti를 이용하여 단일층으로 형성하거나 이들의 다중층으로 형성할 수 있다.

<29> 이어서 도 5b에 보이는 바와 같이, 강유전체막 형성 후에 실시되는 열처리와 동일한 조건 즉, 400 °C 이상의 온도에서 한시간 동안 열처리를 실시한다. 본 발명의 바람직한 실시예에서는 475 °C 온도에서 열처리를 실시한다. 이어서, 600 °C 내지 700 °C 온도에서 급속열처리(rapid thermal process)를 실시한다.

<30> 상기와 같은 열처리에 의해 도 5c에 보이는 바와 같이 제2 하부전극(53) 표면에 힐락 또는 공공(H)이 형성된다. 제2 하부전극(53) 표면 상에 형성될 강유전체막의 결정립 계면(grain boundary)과 동일한 구조로 상기 힐락 또는 공공이 형성되도록 함으로써 제2 하부전극(53)의 표면이 일종의 씨드층(seed layer)으로서 역할할 수 있도록 한다.

<31> 다음으로 도 5d에 보이는 바와 같이 힐락 또는 공공(H)이 형성된 제2 하부전극(53) 상에 강유전체막(54)을 형성한다. 상기 강유전체막(54)은 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (이하 SBT라 함), $(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$ (이하 BLT라 함), 또는 $(\text{Pb},\text{Zr})\text{TiO}_3$ (이하 PZT라 함)로 형성하며, 상기 SBT, BLT 및 PZT 각각에는 불순물이 도핑될 수도 있다.

<32> 이어서 도 5e에 보이는 바와 같이 전술한 제2 하부전극(53)의 열처리 조건과 동일한 조건에서 열처리를 실시한다. 이때, 제2 하부전극(53)의 표면을 따라 강유전체막(54)의 수축(shrinkage)이 일어나 제2 하부전극(53)과 강유전체막(54)의 접착력이 증가하게 된다.

- <33> 이어서 도 5f에 보이는 바와 같이 강유전체막(54) 상에 상부전극(55)을 형성한다. 본 발명의 실시예에서 상기 상부전극(55)은 Pt, Ir, IrO_x, Ru, Re, Rh, W 또는 Ti를 이용하여 단일층으로 형성하거나 이들의 다중층으로 형성할 수 있다.
- <34> 전술한 본 발명에 따라, 하부전극을 먼저 열처리하여 하부전극 표면 구조를 변형시킨 후 강유전체막을 형성함으로써 하부전극과 강유전체막의 접착력을 증가시킬 수 있고, 하부전극의 표면을 따라 강유전체막의 결정립이 형성되도록 함으로써 강유전체막의 균일도를 향상시킬 수 있다. 아울러, 하부전극의 변형 구조가 강유전체막의 방향성과 일치하도록 열처리 조건을 변형시킬 수 있다.
- <35> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

- <36> 상기와 같이 이루어지는 본 발명은 하부전극과 강유전체막이 접하는 상태에서 열처리를 실시함에 따라 서로 다른 응력에 의해 계면 접착력이 감소되는 것을 방지할 수 있고, 강유전체막이 균일하게 형성될 수 있도록 할 수 있다. 그에 따라 강유전체 메모리 소자 제조의 공정상 안정성과 소자의 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 캐패시터의 하부전극을 형성하는 단계;
상기 하부전극 표면 구조를 변형시키는 제1 열처리 공정을 실시하는 단계;
상기 하부전극 표면 구조를 따라 강유전체막을 형성하는 단계;
제 2 열처리 공정을 실시하는 단계; 및
상기 강유전체막 상에 캐패시터의 상부전극을 형성하는 단계
를 포함하는 강유전체 캐패시터 형성 방법.

【청구항 2】

반도체 기판 상에 캐패시터의 하부전극을 형성하는 단계;
상기 하부전극 형성이 완료된 상기 반도체 기판 상에 분리절연막을 형성하는 단계;
상기 하부전극 표면이 노출될 때까지 상기 분리절연막을 제거하는 단계;
상기 하부전극 표면 구조를 변형시키는 제1 열처리 공정을 실시하는 단계;
상기 하부전극 표면 구조를 따라 강유전체막을 형성하는 단계;
제 2 열처리 공정을 실시하는 단계; 및
상기 강유전체막 상에 캐패시터의 상부전극을 형성하는 단계
를 포함하는 강유전체 캐패시터 형성 방법.

【청구항 3】

제 2 항에 있어서,

상기 분리절연막을 형성하는 단계 후,

O₂ 분위기에서 열처리를 실시하여 상기 하부전극의 스트레스를 감소시키는 단계를 더 포함하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 4】

제 2 항에 있어서,

상기 분리 절연막을 화학기계적 연마 또는 전면식각으로 제거하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 5】

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제1 열처리 공정은,

400 ℃ 보다 낮지 않은 온도에서 한시간 동안 열처리를 실시하는 단계; 및

600 ℃ 내지 700 ℃ 온도에서 급속열처리를 실시하는 단계를 포함하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 6】

제 5 항에 있어서,



상기 제2 열처리 공정은,

400 °C 보다 낮지 않은 온도에서 한시간 동안 열처리를 실시하는 단계; 및

600 °C 내지 700 °C 온도에서 급속열처리를 실시하는 단계를 포함하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 7】

제 5 항에 있어서,

상기 하부전극을 Pt, Ir, IrO_x, Ru, Re, Rh, W 또는 Ti를 이용하여 단일층으로 형성하거나 이들의 다중층으로 형성하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 8】

제 5 항에 있어서,

상기 강유전체막을 SrBi₂Ta₂O₉, (Bi,La)₄Ti₃O₁₂ 또는 (Pb,Zr)TiO₃로 형성하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 9】

제 5 항에 있어서,

상기 상부전극을 Pt, Ir, IrO_x, Ru, Re, Rh, W 또는 Ti를 이용하여 단일층으로 형성하거나 이들의 다중층으로 형성하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 10】

반도체 기판 상에 캐패시터의 제1 하부전극을 형성하는 단계;
상기 제1 하부전극 형성이 완료된 상기 반도체 기판 상에 분리절연막을 형성하는 단계;
상기 제1 하부전극 표면이 노출될 때까지 상기 분리절연막을 제거하는 단계;
상기 제1 하부전극 상에 제2 하부전극을 형성하는 단계;
상기 제2 하부전극 표면 구조를 변형시키는 제1 열처리 공정을 실시하는 단계;
상기 제2 하부전극 표면 구조를 따라 강유전체막을 형성하는 단계;
제2 열처리 공정을 실시하는 단계; 및
상기 강유전체막 상에 캐패시터의 상부전극을 형성하는 단계
를 포함하는 강유전체 캐패시터 형성 방법.

【청구항 11】

제 10 항에 있어서,

상기 분리절연막을 형성하는 단계 후,

O₂ 분위기에서 열처리를 실시하여 상기 제1 하부전극의 스트레스를 감소시키는 단계를 더 포함하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 12】

제 10 항에 있어서,



상기 분리 절연막을 화학기계적 연마 또는 전면식각으로 제거하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 13】

제 10 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 제1 열처리 공정은,

400 °C 보다 낮지 않은 온도에서 한시간 동안 열처리를 실시하는 단계; 및

600 °C 내지 700 °C 온도에서 급속열처리를 실시하는 단계를 포함하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 14】

제 13 항에 있어서,

상기 제2 열처리 공정은,

400 °C 보다 낮지 않은 온도에서 한시간 동안 열처리를 실시하는 단계; 및

600 °C 내지 700 °C 온도에서 급속열처리를 실시하는 단계를 포함하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 15】

제 13 항에 있어서,

상기 제1 하부전극 및 상기 제2 하부전극 각각을 Pt, Ir, IrO_x, Ru, Re, Rh, W 또는 Ti를 이용하여 단일층으로 형성하거나 이들의 다중층으로 형성하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【청구항 16】

제 13 항에 있어서,

상기 강유전체막을 SrBi₂Ta₂O₉, (Bi,La)₄Ti₃O₁₂ 또는 (Pb,Zr)TiO₃로 형성하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

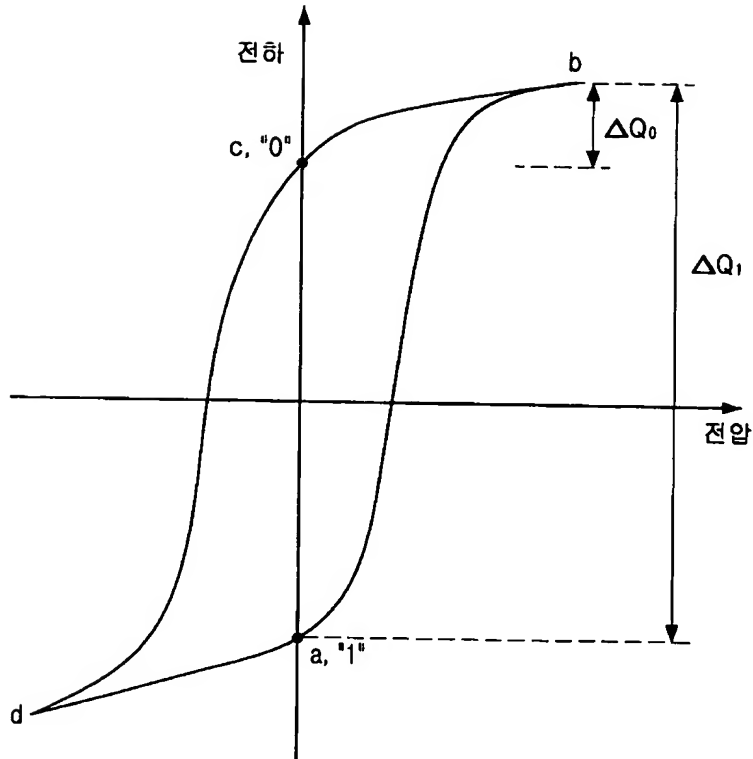
【청구항 17】

제 13 항에 있어서,

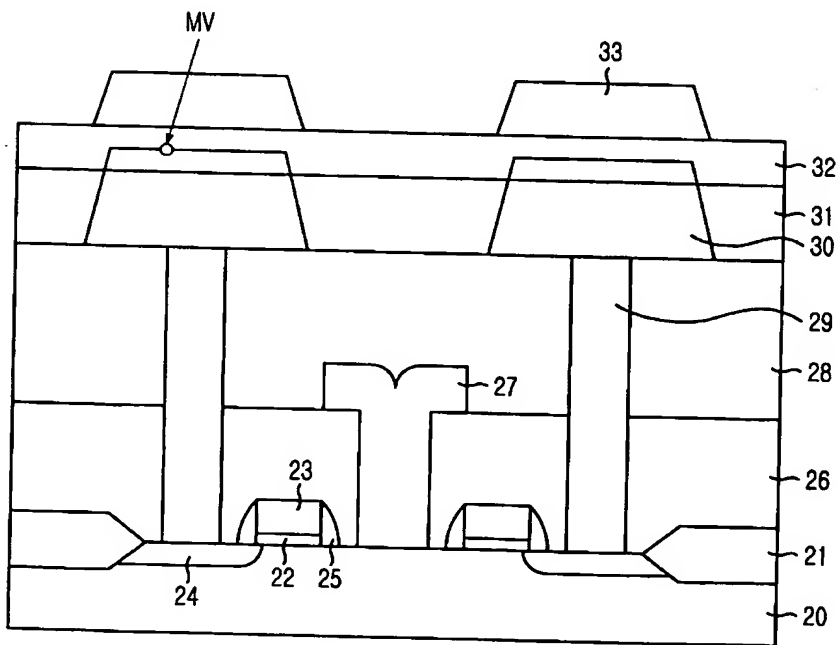
상기 상부전극을 Pt, Ir, IrO_x, Ru, Re, Rh, W 또는 Ti를 이용하여 단일층으로 형성하거나 이들의 다중층으로 형성하는 것을 특징으로 하는 강유전체 캐패시터 형성 방법.

【도면】

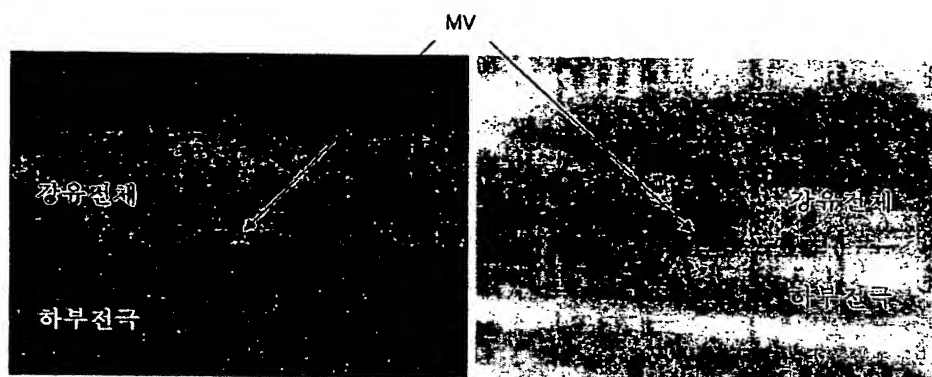
【도 1】



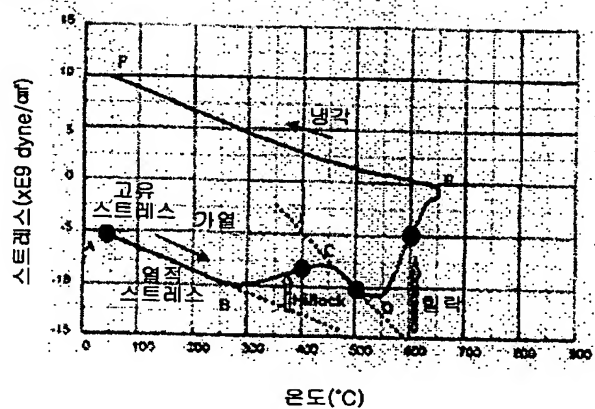
【도 2】



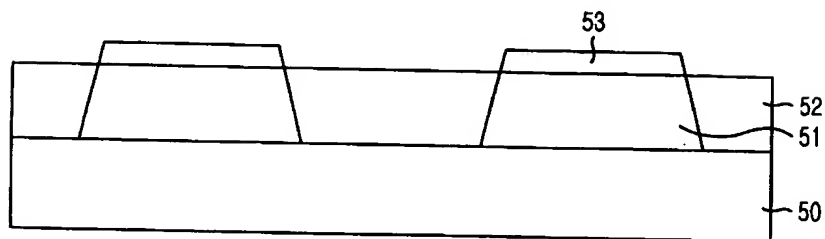
【도 3】



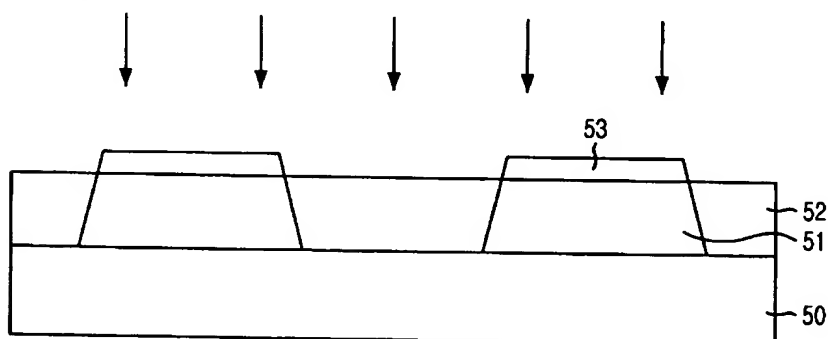
【도 4】



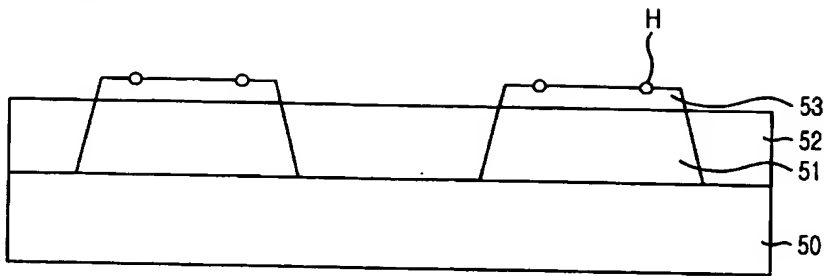
【도 5a】



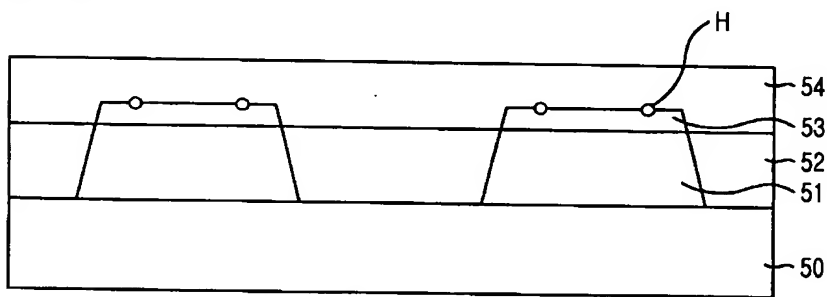
【도 5b】



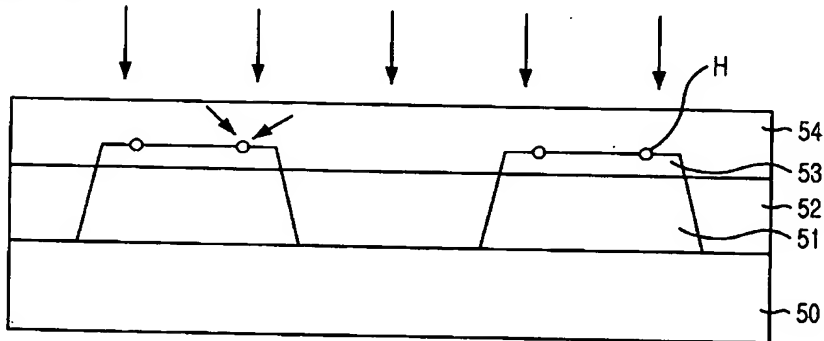
【도 5c】



【도 5d】



【도 5e】



【도 5f】

